

(11)特許出願公開番号

特開2002-100181

(P2002-100181A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 1 1 C 11/14		G 1 1 C 11/14	Z 5 F 0 8 3
11/15		11/15	
H 0 1 L 27/105		H 0 1 L 27/10	4 8 1
27/10	4 8 1	43/08	Z
43/08		27/10	4 4 7
審査請求 未請求 請求項の数9 . O L (全 11 頁)			

(21)出願番号 特願2000-294525(P2000-294525)

(22)出願日 平成12年9月27日(2000.9.27)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 沼田 秀昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 武田 晃一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

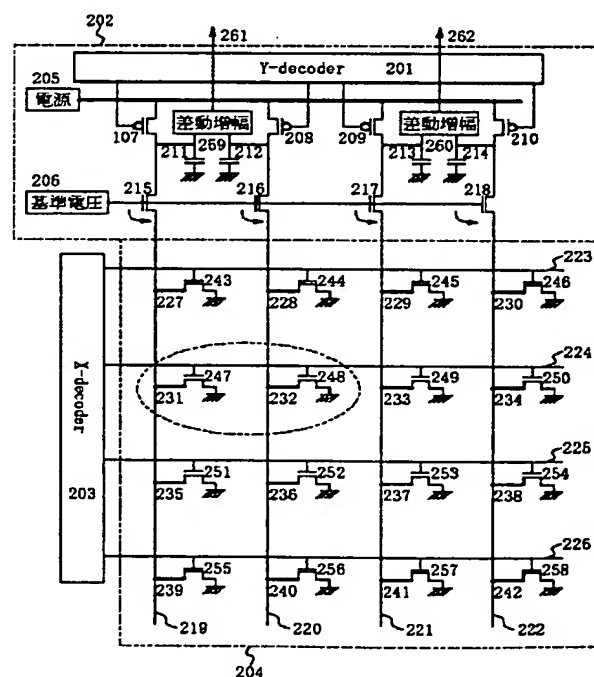
Fターム(参考) 5F083 FZ10 LA03 LA10

(54) 【発明の名称】 磁気ランダムアクセスメモリ

(57) 【要約】 (修正有)

【課題】レイアウト変更が少なくすむ汎用メモリマクロ化手段を提供する。

【解決手段】複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置された磁気ランダムアクセスメモリにおいて、電源にスイッチを介して接続されたコンデンサと、前記コンデンサの一端と前記センス線間を接続する電圧降下素子とを有し、前記コンデンサの一端を前記単位記憶セルの格納された情報に対応する電圧変化の検出端とする。



1

【特許請求の範囲】

【請求項 1】 複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置された磁気ランダムアクセスメモリにおいて、電源にスイッチを介して接続されたコンデンサと、前記コンデンサの一端と前記センス線間を接続する電圧降下素子とを有し、前記コンデンサの一端を前記単位記憶セルの格納された情報に対応する電圧変化の検出端とすることを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置されたセルアレイ部と、Yデコーダと、前記複数のセンス線毎に設けられた電圧供給部を有し、前記電圧供給部は、ゲートが前記Yデコーダに接続しソースドレイン路が電源電圧端と節点に設けられた第1のMOSトランジスタと、ゲートに基準電圧が供給されソースドレイン路が前記節点と前記センス線間に設けられた第2のMOSトランジスタと、前記節点と接地電源間に設けられたコンデンサを含んでいることを特徴とする磁気ランダムアクセスメモリ。

【請求項 3】 隣接する2本の前記センス線が対となり、対となったセンス線に対応する前記電源供給部のそれぞれの接点を入力とする差動増幅回路を有することを特徴とする請求項2記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記セルアレイ部とそれに対応した複数の前記複数の電源供給部から構成されるメモリ領域が2つあり、各セルアレイに対してYデコーダは共通とし、各セルアレイにおいて少なくとも1本以上のワード線とそのワード線と交点を形成する各センス線の間にMOSFETと基準抵抗から構成される参照セルを接続し、一方のメモリ領域中の各電源供給部にある前記節点とそれに対応した他方のメモリ領域中の各電源供給部にある前記節点とを入力とする差動増幅器を含む請求項2記載の磁気ランダムアクセスメモリ。

【請求項 5】 複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置されたセルアレイ部と、前記複数のワード線を駆動するXデコーダと、Yデコーダと、前記複数のセンス線毎に設けられた電圧供給部を有し、前記電圧供給部は、ゲートが前記Yデコーダに接続しソースドレイン路が電源電圧端と第1の節点に設けられた第1のMOSトランジスタと、ゲートに前記Yデコーダの反転出力を受けソースドレイン路が前記第1の節点と第2の節点間に設けられ

2

た第2のMOSトランジスタと、前記第1の節点と接地電源間に設けられた第1のコンデンサと、ゲートに基準電圧が供給されソースドレイン路が前記第2の節点と前記センス線間に設けられた第3のMOSトランジスタと、ゲートが前記Yデコーダに接続しソースドレイン路が前記電源電圧端と第3の節点に設けられた第4のMOSトランジスタと、ゲートに前記Yデコーダの出力を受けソースドレイン路が前記第3の節点と前記第2の節点間に設けられた第5のMOSトランジスタと、前記第3の節点と前記接地電源間に設けられた第2のコンデンサとを含んでいることを特徴とする磁気ランダムアクセスメモリ。

【請求項 6】 前記第2のMOSトランジスタの前記ゲートに直接基準電位を印加せず、前記基準電圧と前記センス線の電位を比較する比較器で構成される制御回路の出力を前記第2のMOSトランジスタのゲートに入力し、各センス線の電位を帰還制御することを特徴とした請求項2記載の磁気ランダムアクセスメモリ。

【請求項 7】 前記第3のMOSトランジスタの前記ゲートに直接基準電位を印加せず、前記基準電圧と前記センス線の電位を比較する比較器で構成される制御回路の出力を前記第3のMOSトランジスタのゲートに入力し、各センス線の電位を帰還制御することを特徴とした請求項5記載の磁気ランダムアクセスメモリ。

【請求項 8】 前記磁気抵抗素子がトンネル型磁気抵抗(TMR)素子であることを特徴とする請求項1、2または5に記載の磁気ランダムアクセスメモリ。

【請求項 9】 前記磁気抵抗素子が巨大磁気抵抗効果(GMR or CMR)素子であることを特徴とする請求項1、2または5に記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)回路(以下「MRAM回路」という。)に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ(Magnetic Random Access Memory: MRAM)は、多数のメモリセルがワード線とビット線の交点に配置されている。基本的には、そのメモリセルは絶縁層あるいは金属層を挟んだ二枚の強磁性層から構成されている。デジタル情報は強磁性層の磁化の向きによって表され、その情報は意図的に書き換えられない限り、無限に保持される。メモリセルの状態を書き換えるために、ワード電流とビット電流により閾値より大きな合成磁場をメモリセルに印加し、強磁性層の磁化を反転させる。

【0003】第1の従来の技術として、米国特許第5748519号及びIEEE Transaction On Components Packaging and Manufacturing Technology-Part A, Vol. 170, No. 3, pp. 373- 379で開示されている、記憶セルとして巨大

磁気抵抗効果 (GMR: giantmagneto-resistive) 素子を用いて且つ簡単化されたMRAM回路を図6に示す。

【0004】このMRAM回路は一般的に半導体基板上に形成され、他の回路が同一基板上に混載される。MRAM回路はメモリアレイ (第1アレイ604及び第2アレイ605)、デコーダ (行デコーダ602及び列デコーダ603) 及び比較器606より構成される。行デコーダ602と列デコーダ603は、アドレスバス601にそれぞれ接続されている。第1アレイ604及び第2アレイ605のうちの一方は読み出し時の参照セルとして用いられる。それぞれのセルアレイにおいて、1つの行には複数のGMR素子が直列接続されている。読み出し時には、第1アレイ604及び第2アレイ605の双方の選択された行に電流を流し、生じた電圧の差分を比較器606で検出する。

【0005】第2の従来技術は、米国特許第5640343号で開示されている、トンネル型磁気抵抗 (TMR: tunneling magneto-resistive) 素子を記憶セルとして用いて、それぞれのワード線とセンス線の交点に一つの記憶セルを配したメモリアレイをもつMRAM回路を図7に示す。

【0006】このMRAM回路は行デコーダ701、702と列デコーダ703、704これらに接続される交点に磁気トンネル接合素子を有するマトリックス回路より構成されている。このMRAM回路は、記憶情報をセンス電流の大小に対応させて動作するが、この開示において、電圧あるいは電流の検出方法、比較器 (センスアンプ) への接続方法については記述されていない。

【0007】

【発明が解決しようとする課題】第1の従来技術では、直列接続の記憶セルの抵抗を直接検出する。この抵抗には、行に直列接続されたトランジスタのオン抵抗も含まれている。また、記憶セルアレイと参照セルアレイが分離され、それらの距離が離れている。そのため、それぞれの比較信号に寄生要素が含まれ易く、充分な動作マージンの実現が困難であった。そのため、記憶セルのウェハ上での特性の均一性が要求された。また、複数の直列に接続された記憶セルの電圧を検出するため、行全体の抵抗に比べて抵抗の磁気変化分が小さくなり、素子ばらつき、ノイズ耐性に劣る。また、検出感度を大きくするためには、検出電流を大きくするか、GMR素子を細長くして素子抵抗を大きくする必要がある。これらは、消費電力の増大および回路面積の増大を招くという問題がある。

【0008】また、一般的なGMR素子では、膜面に平行に電流を流すため、基本抵抗は配線抵抗と同等である。したがって、配線とトランジスタと磁気抵抗素子を直列接続して、全体の電圧を直接測定する方法を用いると、配線と、トランジスタでの電圧降下が無視できなく、高精度な読み出し回路 (センスアンプ) が必要となる。

【0009】さらに、Journal of Magnetism and Magnetic Materials Vol. 198-199, pp. 164-166などに述べられてい

るように、トンネル型磁気抵抗素子 (TMR) では、接合の両端に印加される電圧が増加するに従い、磁気抵抗比 (MR比) が減少する。これは一般にバイアス効果と呼ばれ周知である。このバイアス効果によりTMR素子の両端に大きな電圧をかけても、磁気による素子電圧の変化分は比例して大きくなるわけではなく、したがって、高感度な読み出し回路 (センスアンプ) が必要となる。

【0010】また、Journal of Magnetism and Magnetic Materials Vol. 198-199, pp. 164-166などで述べられているように、薄いトンネルバリアを用いているTMR素子の両端に大きな電圧をかけることは、トンネルバリアを電界、熱などで破壊し、素子寿命を短くする問題がある。

【0011】本発明はウェハ上での場所に依存する磁気抵抗素子の特性ばらつきの影響を極力排除し、動作マージンの広いMRAM回路を提供することを目的とする。また、本発明は、磁気抵抗素子と直列に接続された配線およびトランジスタの抵抗による電圧降下がもたらす、読み出し回路 (センスアンプ) の検出感度の低下を防ぎ、高精度かつ高速な読み出しが可能なMRAM回路を提供することを目的とする。

【0012】さらに本発明は、特にトンネル型磁気抵抗素子 (TMR) を用いたMRAM回路では、磁気抵抗のバイアス効果、および、トンネルバリアの破壊を防止し、高精度かつ高速な読み出し方式を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の磁気ランダムアクセスメモリは、複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置された磁気ランダムアクセスメモリにおいて、電源にスイッチを介して接続されたコンデンサと、前記コンデンサの一端と前記センス線間を接続する電圧降下素子とを有し、前記コンデンサの一端を前記単位記憶セルの格納された情報に対応する電圧変化の検出端とすることを特徴とする。

【0014】更に本発明の磁気ランダムアクセスメモリは、複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置されたセルアレイ部と、Yデコーダと、前記複数のセンス線毎に設けられた電圧供給部を有し、前記電圧供給部は、ゲートが前記Yデコーダに接続しソースドレイン路が電源電圧端と節点に設けられた第1のMOSトランジスタと、ゲートに基準電圧が供給されソースドレイン路が前記節点と前記センス線間に設けられた第2のMOSトランジスタと、前記節点と接地電源間に設けられたコンデンサを含んでいることを特徴とする。

【0015】更に本発明の磁気ランダムアクセスメモリは、複数のセンス線と前記複数のセンス線に直交して設けられた複数のワード線と、前記センス線と前記ワード線の各交点にセル選択スイッチと磁気抵抗素子が直列に接続された単位記憶セルがアレイ状に配置されたセルアレイ部と、前記複数のワード線を駆動するXデコーダと、Yデコーダと、前記複数のセンス線毎に設けられた電圧供給部を有し、前記電圧供給部は、ゲートが前記Yデコーダに接続しソースドレイン路が電源電圧端と第1の節点に設けられた第1のMOSトランジスタと、ゲートに前記Yデコーダの反転出力を受けソースドレイン路が前記第1の節点と第2の節点間に設けられた第2のMOSトランジスタと、前記第1の節点と接地電源間に設けられた第1のコンデンサと、ゲートに基準電圧が供給されソースドレイン路が前記第2の節点と前記センス線間に設けられた第3のMOSトランジスタと、ゲートが前記Yデコーダに接続しソースドレイン路が前記電源電圧端と第3の節点に設けられた第4のMOSトランジスタと、ゲートに前記Yデコーダの出力を受けソースドレイン路が前記第3の節点と前記第2の節点間に設けられた第5のMOSトランジスタと、前記第3の節点と前記接地電源間に設けられた第2のコンデンサとを含んでいることを特徴とする。

【0016】

【発明の実施の形態】本発明の実施の形態について、図1から図5を参照して詳細に説明する。

【0017】図1には本発明によるMRAM回路の第1の実施例を示した。ここでは、一例として4×4ビットのMRAMを示したが、用途に応じてm×nビットのMRAMを構成できる。図示したように、本発明のMRAMは、Y-decoder101を含むY周辺回路102、X-decoder103、および、セルアレイ104から構成される。

【0018】Y周辺回路102は、Y-decoder101と、ゲートがY-decoder101に接続されたMOSトランジスタ107 110、このMOSトランジスタ107 110に接続された電源105、ゲートに基準電圧源106からの出力が接続されたMOSトランジスタ115 118、片側が接地されたコンデンサ111 114で構成されている。MOSトランジスタ107 110とMOSトランジスタ115 118およびコンデンサ111 114はそれぞれ互いに接続されており、さらに、この接続点には、コンデンサ111 114の電位を検出するための出力線159 162がそれぞれ接続され、後段の出力回路に接続される。また、MOSトランジスタ115 118の他方の不純物領域は、セルアレイ104のセンス線119 122とそれぞれ接続されている。また、ワード線123 126は、それぞれ、X-decoder103に接続されている。1つのセンス線毎にたとえば電源105、MOSトランジスタ108、コンデンサ112、トランジスタ116からなる電圧供給部が構成される。

【0019】セルアレイ104は、センス線119 122、ワ

ード線123 126、および、磁気抵抗素子127 142とMOSトランジスタ143 158からなる単位記憶セルで構成される。この単位記憶セルはそれぞれ、センス線119 122とワード線123 126の交点に配置される。単位記憶セルの磁気抵抗素子127 142の一端はセンス線119 122と、他端はMOSトランジスタ143 158の一方の不純物領域と接続されている。MOSトランジスタ143 158の他方の不純物領域は接地され、ゲートにはワード線123 126が接続されている。

10 【0020】MRAM回路が待機状態にあるときには、MOSトランジスタ107 110はオン状態になっており、コンデンサ111 114は、充電され、所定の初期電圧(VD0)になる。MOSトランジスタ115 118は、センス線119 122を一定の低電圧に保持するために設けられたMOSトランジスタである。MOSトランジスタ115 118の1対の不純物領域のうち、コンデンサ111 114と接続された方を入力側、センス線119 122と接続された方を出力側とすると、MOSトランジスタ115 118の入力側は、所定の初期電圧(VD0)となっている。

20 【0021】MOSトランジスタ115 118の出力側の電圧(VS)は、基準電圧源106の発生する基準電圧(Vref)と、MOSトランジスタ115 118の閾値特性で決められる一定の降下電圧(Vdrrp)で決定され、MOSトランジスタ115 118の入力側の電圧(VD)が変動しても出力側の電圧(VS)は変動しない。VS、Vref、Vdrrp には、 $VS = Vref - Vdrrp$ (ただし、 $VD > VS$) ---- (1) の関係が成り立つ。このため、すべてのセンス線119 122の電位は常にVSに保たれる。

30 【0022】次に、例えば磁気抵抗素子132に保持されたデータを読み出す場合について説明する。磁気抵抗素子132はセルアレイの2行2列に位置している単位記憶セルで用いられている。はじめにX-decoder103からの信号により、2行目のワード線124に接続されている単位記憶セルのMOSトランジスタ147 150がオンになる。したがって、電源105、MOSトランジスタ108、MOSトランジスタ116、センス線120、磁気抵抗素子132、MOSトランジスタ148と、電流が流れる。この時、同一のワード線124に接続されている磁気抵抗素子131, 133, 134にも同様に電流が流れるが、これについては後述する。

40 【0023】2行目のワード線124の選択に続いて、Y-decoder101のからの信号により2列目のセンス線120が選択される。この時、MOSトランジスタ108はオフとなり、2列目のセンス線120は電源105から切り離されるが、コンデンサ112に充電された電荷を放電しながら、磁気抵抗素子132には電流が流れつづける。この結果、コンデンサ112に生じる電圧、すなわち、MOSトランジスタ116の入力側の電圧は低下するが、MOSトランジスタ116の出力側の電圧(VS)は前述したように(1)で決定付けられるため、変化せず、一定に保たれる。このとき、t時間後のコンデンサ112に生じるの電圧の時間変化VD(t)は、

7

初期電圧 V_{D0} 、コンデンサ112の容量 C 、センス線120に流れる電流 I_S 、MOSトランジスタ116の出力側の電圧 V_S 、および、MOSトランジスタ116の負荷抵抗となるセンス線12*

$$V_D(t) = V_{D0} - 1/C \cdot I_S t = V_{D0} - V_S/CR \cdot t \quad \text{--- (2)}$$

とあらわすことができる。

【0024】(2)式に示したように、コンデンサ112に生じる電圧の時間変化は磁気抵抗素子132の抵抗により変化率が異なる。すなわち、磁気抵抗素子132が高抵抗状態にある時には、コンデンサ112に生じる電圧の時間変化は小さく、反対に磁気抵抗素子132が低抵抗状態にある時には、コンデンサ112に生じる電圧の時間変化は大きい。ある一定時間経過後に、コンデンサ112の電圧あるいは電圧変化を出力線160を通して検出することで、磁気抵抗素子132の抵抗状態すなわち保持しているデータを読み出すことが出来る。

【0025】本発明のMRAM回路では、磁気抵抗素子132に印加される電圧は V_S であるので、磁気抵抗素子132を破壊する電圧あるいは、バイアス依存性により著しく特性を劣化させる電圧よりも小さく保つことが出来る。しかしながら、コンデンサ112の作用により、出力線160に生じる電圧は、後段の検出回路に十分な程度まで大きくすることが出来る。

【0026】また、本発明のMRAM回路では、磁気抵抗素子132と直列につながれた配線抵抗、MOSトランジスタ148の抵抗が大きい、あるいは、磁気抵抗素子132の磁気抵抗比(MR比)が十分大きく取れないとしても、(2)式のコンデンサ111 114の容量 C 、磁気抵抗素子に印加する電圧 V_S 、磁気抵抗素子127 142の電気抵抗値、および、コンデンサの放電に要する時間 t を最適化することで、十分な読み出し電圧を得ることができる。

【0027】本発明のMRAMの読み出し速度は、主に、コンデンサ111 114の容量 C 、磁気抵抗素子127 142の電気抵抗値、および、磁気抵抗素子に印加する電圧 V_S により決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサ111 114の充電は待機時間中に行われ、読み出し速度には影響しない。

【0028】また、前述したように、本回路では、同一のワード線124に接続されている磁気抵抗素子131, 133, 134にも同様に電流が流れる。したがって、MOSトランジスタ108と同様に、MOSトランジスタ107, 109, 110もオフにすると、磁気抵抗素子131, 133, 134に記録された情報を、それぞれ、出力線159, 161, 162から同時に並行して読み出すことが出来る。

【0029】さらに、読み出しの消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高い。

【0030】また、例に示したデータ読み出しのシーケ

8

*0、磁気抵抗素子132、MOSトランジスタ148の合成抵抗 R を用いると、

ンスでは、MOSトランジスタ148がオンになった後に、MOSトランジスタ108をオフとしているが、これらのMOSトランジスタのスイッチの順序は逆になっても良いし、また同時にスイッチさせることも本質的には可能である。

【0031】また本発明の単位記憶セルにおいて、磁気抵抗素子127 142の一端を接地し、他端はMOSトランジスタ143 158の一方の不純物領域と接続し、MOSトランジスタ143 158の他方の不純物領域をセンス線119 122と接続しても、動作は基本的に同じである。

【0032】図2には、本発明の第2の実施例を示した。図2に示したMRAM回路は、基本的には図1に示した回路と同じ動作をするが、同一のワード線に接続され、かつ、隣接した2本のセンス線に接続された2つの単位記憶セルを対とし、お互いに相補のデータを記憶するを特徴としている。

【0033】すなわち、一方の単位記憶セルの磁気抵抗素子が高抵抗状態の時には、他方の磁気抵抗素子は必ず低抵抗状態になるように、それぞれの磁気抵抗素子の磁化方向を設定する。記憶データが"1"である場合に、どちらの磁気抵抗素子を高抵抗状態にするかは任意であり、回路ごとに決められる。それぞれの単位記憶セルには、センス線とMOSトランジスタを介してコンデンサが接続されている。2つのコンデンサの電圧を差動増幅器を用いて比較し、この差動増幅器の出力をデータ出力としている。この回路では、2つの単位記憶セルを用いて1ビットの情報を記憶するので、図2に示したMRAM回路は、 $4 \times 2 = 8$ ビットの情報を記憶する回路の例である。

【0034】図2に示した回路と図1に示した回路では、特にY周辺回路の構成が異なっている。本実施例のY周辺回路202では、隣接する2つのセンス線219と220にMOSトランジスタ215と216を介して接続されたコンデンサ211と212が差動増幅器259に接続され、コンデンサ211と212に生じる電圧の差を差動増幅器259で検出される。同様に、コンデンサ213と214に生じる電圧の差は、差動増幅器260で検出される。X-decoder203、セルアレイ204は、図1のX-decoder103、セルアレイ104と同等の回路である。

【0035】次に、例えば磁気抵抗素子231, 232に保持されたデータを読み出す場合について説明する。磁気抵抗素子231はセルアレイの2行1列、磁気抵抗素子232はセルアレイの2行2列に位置している。はじめにX-decoder203からの信号により、2行目のワード線224に接続されている単位記憶セルのMOSトランジスタ247 250がオンになる。したがって、電源205、MOSトランジスタ207、MOSトランジスタ215、センス線219、磁気抵抗素子231、MOSトランジスタ247と、電流が流れる。

【0036】また同様に、電源205、MOSトランジスタ208、MOSトランジスタ216、センス線220、磁気抵抗素子232、MOSトランジスタ248の経路でも電流が流れる。この時、同一のワード線224に接続されている磁気抵抗素子233、234にも同様に電流が流れるが、これについては後述する。

【0037】2行目のワード線224の選択に続いて、Y-decoder201のからの信号により1列目のセンス線219と、2列目のセンス線220が選択される。この時、MOSトランジスタ207、208はオフとなり、1列目のセンス線219と2列目のセンス線220は電源205から切り離されるが、コンデンサ211、212に充電された電荷を放電しながら、磁気抵抗素子231、232には電流が流れつづける。この結果、コンデンサ211、212に生じる電圧、すなわち、MOSトランジスタ215、216の入力側の電圧は低下するが、MOSトランジスタ215、216の出力側の電圧(VS)は前述したように

(1)で決定付けられるため、変化せず、一定に保たれる。このとき、t時間後のコンデンサ211、212に生じるの電圧の時間変化VD(t)は、(2)式に示した通りである。

【0038】(2)式に示したように、コンデンサ211、212に生じる電圧の時間変化は磁気抵抗素子231、232の抵抗により変化率が異なる。例えば、記憶データが"1"であるときには、磁気抵抗素子231が高抵抗状態、かつ、磁気抵抗素子232が低抵抗状態であるとする、コンデンサ211の電圧低下よりコンデンサ212の電圧低下の時間変化が大きい。反対に記憶データが"0"であるときには、磁気抵抗素子231が低抵抗状態、かつ、磁気抵抗素子232が高抵抗状態となり、コンデンサ211の電圧低下よりコンデンサ212の電圧低下の時間変化は小さい。ある一定時間経過後に、コンデンサ211とコンデンサ212の電圧の差を差動増幅器259で判定し、その判定結果を読み出しデータとして出力線261より出力する。

【0039】あるt時間経過後のコンデンサ211とコンデンサ212の電圧の差VOUT(t)は(2)式から、

$$V_{out}(t) = V_s / C \cdot (1/R_L - 1/R_H)t \quad \text{---(3)}$$
 と表すことができる。

【0040】ここでRL、RHはそれぞれ、磁気抵抗素子が低抵抗状態と高抵抗状態でのMOSトランジスタの負荷抵抗(負荷となるセンス線、磁気抵抗素子、記憶セルのMOSトランジスタの合成抵抗)である。(3)式において例えば、コンデンサの容量Cを1pF、MOSトランジスタの出力側の電圧VSを250mV、磁気抵抗素子が低抵抗状態のRLを10kΩ、高抵抗状態の時のRHを12kΩと容易に実現可能な値を仮定し、コンデンサ211、212の放電時間を24nsecとすると、記憶データの"1"、"0"に応じてVOUT(24nsec)が±100mVの出力が得られることがわかる。既存の半導体DRAMのセンスアンプ(差動増幅器)の入力電圧(検出電圧)は100mV程度になっており、この±100mVの信号は容易に検出できることは自明である。

【0041】本発明のMRAM回路では、磁気抵抗素子231、

232に印加される電圧はVSであるので、磁気抵抗素子231、232を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことが出来る。しかしながら、コンデンサ211、212の作用により、差動増幅器(検出器)259に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。

【0042】また、読み出し速度は、主に、コンデンサの容量C、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧VSにより決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出速度には影響しない。

【0043】さらに、本発明のMRAMは、隣接する磁気抵抗素子からの信号を参照データとするので、プロセスばらつきに対する回路動作の安定性に優れている。

【0044】また、本発明のMRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、(2)式のコンデンサの容量C、磁気抵抗素子に印加する電圧VS、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間tを最適化することで、十分な読み出し電圧を得ることができる。

【0045】さらに、前述したように、本回路では、同一のワード線224に接続されている磁気抵抗素子233、234にも同様に電流が流れる。したがって、MOSトランジスタ207、208と同様に、MOSトランジスタ209、210もオフにすると、磁気抵抗素子233、234に記録された情報も差動増幅器(検出器)260から同時に並行して読み出すことが出来る。

【0046】また、本発明のMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高い。

【0047】尚、例に示したデータ読み出しのシーケンスは一例であり、この限りではない。

【0048】図3には、本発明の第3の実施例を示した。図3に示したMRAM回路は、基本的には図2に示した回路と同じ動作をするが、出力を差動増幅で比較する際の参照信号は、相補のデータを書き込まれた磁気抵抗素子ではなく、基準抵抗から得ることを特徴としている。第3の実施例のMRAM回路は、Y-decoder301を含むY周辺回路302、第1のX-decoder303、第1のセルアレイ304、および、前記のY周辺回路302に対してそれぞれ対称的な位置に配置される、第2のX-decoder305、第2のセルアレイ306、から構成される。

【0049】Y周辺回路302は、図1のY周辺回路102と類似した回路構成となっているが、Y-decoder101と同等の

Y-decoder301に対して、基準電圧源、MOSトランジスタ、コンデンサなどが対象的に配置されている点が異なっている。また、Y周辺回路302は、差動増幅器330~333を有しているが、図2の差動増幅器259、260とは異なり、それぞれ、Y-decoder301に対して対照的な位置に配置されている2つのコンデンサが接続されている。それぞれのセルアレイにおける、少なくとも1本以上のワード線には、基準抵抗とMOSトランジスタから構成される基準セルが接続されている。

【0050】図3に示した例では、第1のセルアレイ304では、ワード線315に基準抵抗318、321とMOSトランジスタから構成された基準セルが接続され、第2のセルアレイ306では、ワード線316に基準抵抗322、325とMOSトランジスタから構成された基準セルが接続されている。

【0051】例えば、第1のセルアレイ304のセンス線308とワード線317に接続された磁気抵抗素子327とMOSトランジスタで構成された記憶セルの情報を読み出す場合には、第2のセルアレイ306のセンス線312とワード線316に接続された基準抵抗323とMOSトランジスタで構成された基準セルからの信号を参照信号とし、第1および第2のMRAM回路と同様の原理を用いて、差動増幅器331を用いて出力を得る。またこの時、同一のワード線317に接続されている、磁気抵抗素子326、328、329とMOSトランジスタで構成された記憶セルに記憶された情報も、差動増幅器330、332、334を用いて、基準抵抗322、324、325とMOSトランジスタで構成された基準セルからの信号と比較することで並行に読み出すことが可能である。

【0052】尚、第1のセルアレイ304のワード線315に接続された基準抵抗318、321とMOSトランジスタで構成された基準セルは、第2のセルアレイ306に配置された磁気抵抗素子とMOSトランジスタで構成された記憶セルの読み出しの参照に使用される。本発明のMRAMは、基準抵抗からの信号を参照データに用いることで、チップの面積効率が高く、高集積かつプロセスばらつきに対する回路動作の安定性に優れている。

【0053】また、本発明のMRAM回路では、磁気抵抗素子に印加される電圧は V_S であるので、磁気抵抗素子を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことが出来る。しかしながら、コンデンサの作用により、差動増幅器（検出器）に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。

【0054】本発明のMRAM回路の読み出し速度は、主に、コンデンサの容量 C 、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧 V_S により決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間間に行われ、読み出速度には影響しない。

【0055】また、本発明のMRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵

抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、(2)式のコンデンサの容量 C 、磁気抵抗素子に印加する電圧 V_S 、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間 t を最適化することで、十分な読み出し電圧を得ることが出来る。

【0056】また、本発明のMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高い。

【0057】尚、例に示したデータ読み出しのシーケンスは一例であり、この限りではない。

【0058】図4には、本発明の第4の実施例を示した。図4に示したMRAM回路は、基本的には図2に示した回路と同じ動作をするが、読み出しの対象となる磁気抵抗素子自身の状態を変化させて生成される信号を差動増幅の参照信号とする、自己参照式の読み出し方法である。

【0059】図示したように、本発明のMRAMは、Y-decoder401を含むY周辺回路402と、X-decoder403、および、セルアレイ404から構成される。ここで使用されるX-decoder403とセルアレイ404は、それぞれ、図1のX-decoder103とセルアレイ104と同等のものである。また、Y-decoder401とX-decoder403の動作タイミングは、タイミングコントローラ405により制御される。Y周辺回路402は、Y-decoder401と、ゲートがY-decoder401に接続されたMOSトランジスタ408、411、このMOSトランジスタ408、411に接続された電源406、ゲートにY-decoder401からの出力が接続され、お互いに相補に動作する2対のMOSトランジスタ416と417、および、418と419、ゲートに基準電圧源407からの出力が接続されたMOSトランジスタ420、421、片側が接地されたコンデンサ412、415、および、出力を検出する差動増幅器444、445で構成されている。

【0060】MRAM回路が待機状態にあるときには、MOSトランジスタ408、411はオン状態になっており、コンデンサ412、415は、充電され、所定の初期電圧(V_{D0})になる。また、この時、MOSトランジスタ416、418はオン状態で、これらに対して相補動作するMOSトランジスタ417、419はオフ状態となっている。したがって、MOSトランジスタ416、418を介して、コンデンサ412、414と接続されているMOSトランジスタ420、421の入力側も所定の初期電圧 V_{D0} である。

【0061】MOSトランジスタ420、421は、センス線422、423を一定の低電圧に保持するために設けられたMOSトランジスタである。MOSトランジスタ420、421の出力側の電圧は、基準電圧源407の発生する基準電圧(V_{ref})と、MOSトランジスタ420、421の閾値特性で決められる一定の降下電圧(V_{drp})で決定され、MOSトランジスタ420、421の入力側の電圧(V_D)が変動しても出力側の電圧(V

13

S)は変動せず、(1)式で決められる。このため、すべてのセンス線422、423の電位は常にVSである。

【0062】例えば磁気抵抗素子438に保持されたデータを読み出す場合には、X-decoder403からの信号により、MOSトランジスタ426をオンにする。この結果、電源406、MOSトランジスタ408、MOSトランジスタ416、MOSトランジスタ420、磁気抵抗素子438およびMOSトランジスタ426通って電流が流れる。またこの時、X-decoder403からの信号により、同一のワード線433に接続されているMOSトランジスタ427もオンになっており、この結果、磁気抵抗素子439にも電流が流れる。

【0063】MOSトランジスタ420、421により、すべてのセンス線422、423の電位はVSに保持され、センス線422、423にはそれぞれVSおよび各磁気抵抗素子438、439の抵抗値から決定される大きさの電流が流れる。次にY-decoder401のからの信号により、MOSトランジスタ408はオフとなり、コンデンサ412に充電された電荷を放電しながら、磁気抵抗素子438には電流が流れつづける。この結果、コンデンサ412に生じる電圧は(2)式に従って、低下する。

【0064】一定時間経過後に、一時的に、MOSトランジスタ426をオフにし、磁気抵抗素子438を通り流れていた電流を止める。その後、書き込み回路を動作させて、磁気抵抗素子438に"0"または"1"を参照データとして書き込むか、あるいは、一時的な中間状態に保つ。その後、MOSトランジスタ416をオフ、MOSトランジスタ417オンとし、再びMOSトランジスタ426をオンとすると、今度は、電源406、MOSトランジスタ409、MOSトランジスタ417、MOSトランジスタ420、磁気抵抗素子438、MOSトランジスタ426の経路で電流が流れる。次に、MOSトランジスタ409をオフとすると、コンデンサ413に充電された電荷を放電しながら、磁気抵抗素子438には電流が流れつづける。この結果、磁気抵抗素子438の参照状態に応じて、コンデンサ413に生じる電圧は低下する。

【0065】再び、一定時間経過後に、MOSトランジスタ426をオフとし、磁気抵抗素子438を通り流れていた電流を止め、コンデンサ412とコンデンサ413の電圧差を差動増幅器444を用いて、検出する。最後に、磁気抵抗素子438に元のデータを再書き込みするか、または、一時的な中間状態から定常状態に戻すことにより、MRAM回路全体としてはデータの非破壊読出しが実現される。

【0066】本発明のMRAMは、自己参照方式で検出するために、チップの面積効率が高く、高集積かつプロセスばらつきに対する回路動作の安定性に優れている。

【0067】また、本発明のMRAM回路では、磁気抵抗素子438に印加される電圧はVSであるので、磁気抵抗素子438を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことが出来る。しかしながら、コンデンサの作用により、差動増幅器(検出器)に入力される電圧は十分な程度まで大きくすることができ、一般的

14

な検出回路で十分にデータを検出できる。

【0068】本発明のMRAM回路の読み出し速度は、主に、コンデンサの容量C、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧VSにより決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出速度には影響しない。また、本発明のMRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、(2)式のコンデンサの容量C、磁気抵抗素子に印加する電圧VS、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間tを最適化することで、十分な読み出し電圧を得ることができる。

【0069】また、前述したように、本回路では、同一のワード線433に接続されている磁気抵抗素子439も同様に電流が流れるため、同時に並行して読み出すことが出来る。さらに、本発明のMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高い。

【0070】尚、例に示したデータ読み出しのシーケンスは一例であり、この限りではない。

【0071】実施例1から4で説明した回路において、正確な読み出しを行うためには、読み出しに用いるコンデンサの放電特性をそろえる必要があり、そのためには、比較器を用いて、センス線の電位を正確に一定に保つことが効果がある。第5の実施例として、第1の実施例に記した回路のセンス線に比較器を設けた例を示す。図5は本発明の第5の実施例を示す図である。基本動作は第1の実施例と同じである。

【0072】図5の回路では、センス線506~509の電位をより正確に制御するために、比較器510~513を設け、その出力をMOSトランジスタ501~504のゲートに入力している。比較器510~513の正の入力(正帰還)は基準電圧505に接続され、負の入力(負帰還)は、それぞれセンス線506~509に接続されている。

【0073】これにより、何れかのセンス線の電位が基準電圧505より低い場合には、MOSトランジスタ501~513のうち、対応するMOSトランジスタのゲート電圧を上げ、その結果出力電圧であるセンス線の電位をあげる。反対に、何れかのセンス線の電位が基準電圧505より高い場合には、MOSトランジスタ501~504のうち、対応するMOSトランジスタのゲート電圧を下げ、その結果、センス線の電位を下げる。これにより、すべてのセンス線の電位を正確に一定に保つことができ、各センス線に接続されたコンデンサの放電特性をそろえることができる。

【0074】本発明により、製造ばらつきに対して、安

定動作が可能なMRAM回路が得られた。また、この回路は、MOSトランジスタ501 504の相互コンダクタンスによるセンス線の電位の変動も押さえることができ、非常に広い動作マージンで安定に動作が可能である。

【0075】また、本実施例では、MRAMが動作中の帰還制御を行う比較器の例を示したが、通常のメモリ素子の記憶読み出し動作を行う前に、各センス線の電位が等しくなるように、あらかじめ更正する機能を有する比較器を用いても効果がある。この場合は、磁気抵抗素子などを用いて、更正した回路パラメータを不揮発に保持できる比較器・制御回路の使用が効果的である。

【0076】また、本実施例では、センス線の電位を一定に保つ制御および更正について述べているが、MOSトランジスタの閾値特性、磁気抵抗素子の抵抗値と磁気抵抗比、あるいはコンデンサの容量などの製造ばらつきに応じて、コンデンサに生じている電圧の時間変化特性（検出電圧）が各センス線であるべく等しくなるような制御および更正を行うことも効果がある。

【0077】また、本実施例では、第1の実施例に対して、センス線に比較器、制御回路を使用した例を示したが、第2から4の実施例で示した回路のセンス線に比較器、制御回路を使用しても同様な効果が得られる。

【0078】

【発明の効果】以上説明したように、本発明のMRAM回路は、特にトンネル型磁気抵抗素子(TMR)を用いたMRAM回路では、磁気抵抗素子を破壊する電圧あるいは、バイアス効果により著しく特性を劣化させる電圧よりも小さく保つことが可能であるか、コンデンサの作用により、差動増幅器（検出器）に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出できる。

【0079】また、本発明のMRAM回路の読み出し速度は、主に、コンデンサの容量、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧により決定され、これらのパラメータを最適化することで非常に高速な読み出しが可能である。また、コンデンサの充電は待機時間中に行われ、読み出速度には影響しない。また、本MRAM回路では、同一のワード線に接続されている磁気抵抗素子からも同時に並行して読み出すことが出来、より、高速な読み出しが可能である。

【0080】さらに、本発明のMRAM回路では、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れないとしても、コンデンサの容量、磁気抵抗素子に印加する電圧、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間を最適化することで、十分な読み出し電圧を得ることができる。

【0081】また、適切な参照セルを設けることで、チップの面積効率が高く、高集積かつプロセスばらつきに対する回路動作の安定性に優れたMRAM回路を得ることが

できる。

【0082】さらに、本発明のMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が低い。

【図面の簡単な説明】

【図1】本発明の第1の実施例のMRAM回路を示す回路図である。

【図2】本発明の第2の実施例のMRAM回路を示す回路図である。

【図3】本発明の第3の実施例のMRAM回路を示す回路図である。

【図4】本発明の第4の実施例のMRAM回路を示す回路図である。

【図5】本発明の第5の実施例のMRAM回路を示す回路図である。

【図6】第1の従来技術のMRAM回路を示す回路図である。

【図7】第2の従来技術のMRAM回路を示す回路図である。

【符号の説明】

101, 201, 301, 401: Y-decoder

102, 202, 302, 402: Y周辺回路

103, 203, 403: X-decoder

303: 第1のX-decoder

305: 第2のX-decoder

104, 204, 404: セルアレイ

405: タイミングコントローラ

304: 第1のセルアレイ

306: 第2のセルアレイ

105, 205, 406: 電源

106, 206, 407, 505: 基準電圧源

107 110, 207 210, 408 411: MOSトランジスタ

111 114, 211 214, 412 415: コンデンサ

416 419: MOSトランジスタ

115 118, 215 218, 420, 421, 501 504: MOSトランジスタ

119 122, 219 222, 307 314, 422, 423, 506 509: センス線

510 513: 比較器

123 126, 223 226, 315 317, 432 435: ワード線

318 325: 基準抵抗

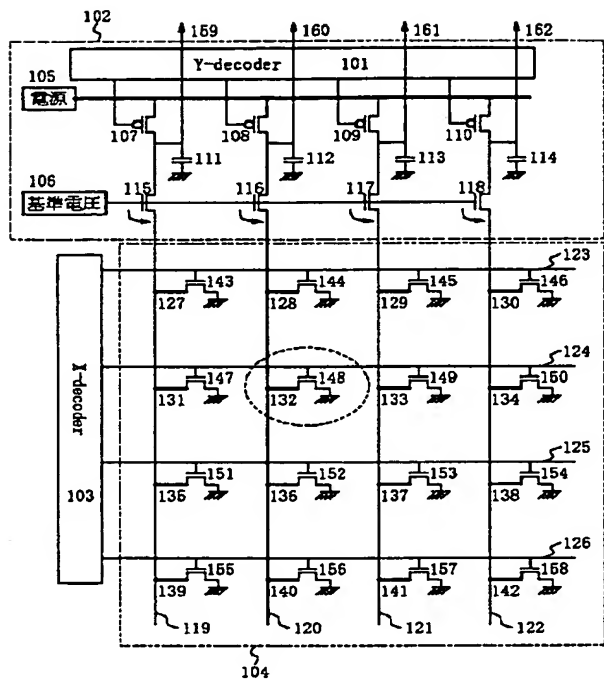
127 142, 227 242, 326 329, 436 443: 磁気抵抗素子

143 158, 243 258, 424 431: MOSトランジスタ

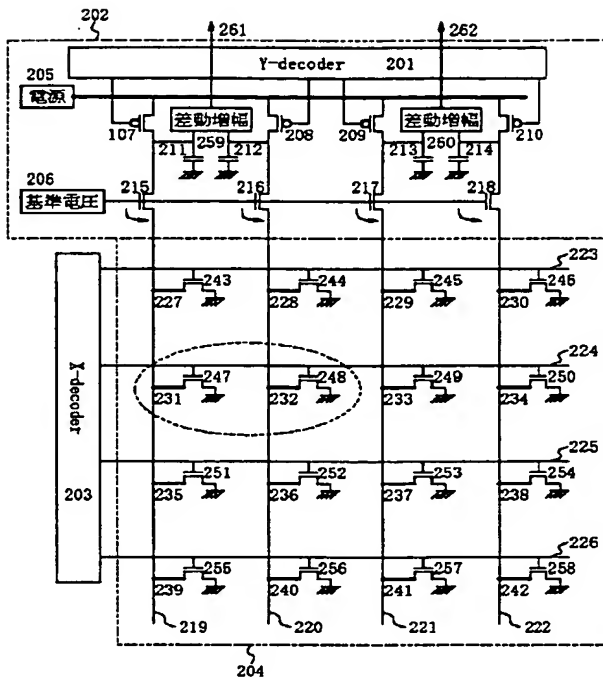
259, 260, 330 333, 444, 445: 差動増幅器

159 162, 261, 262: 出力線

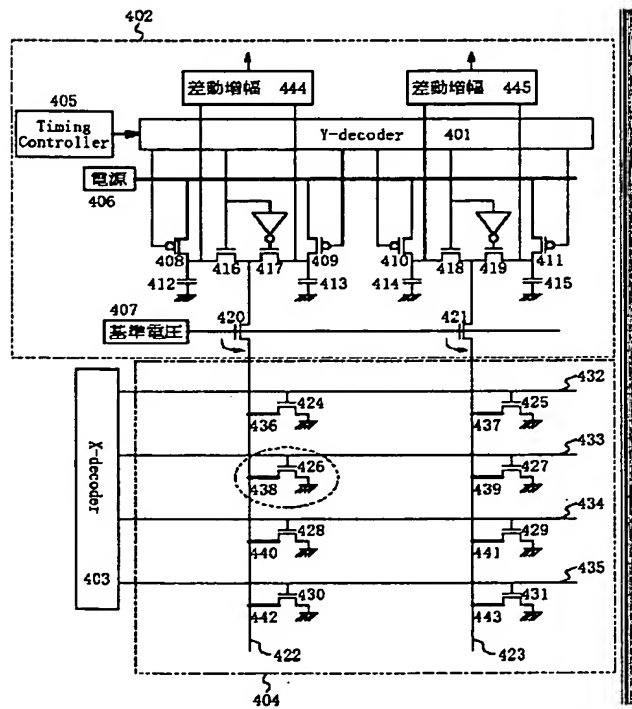
【図1】



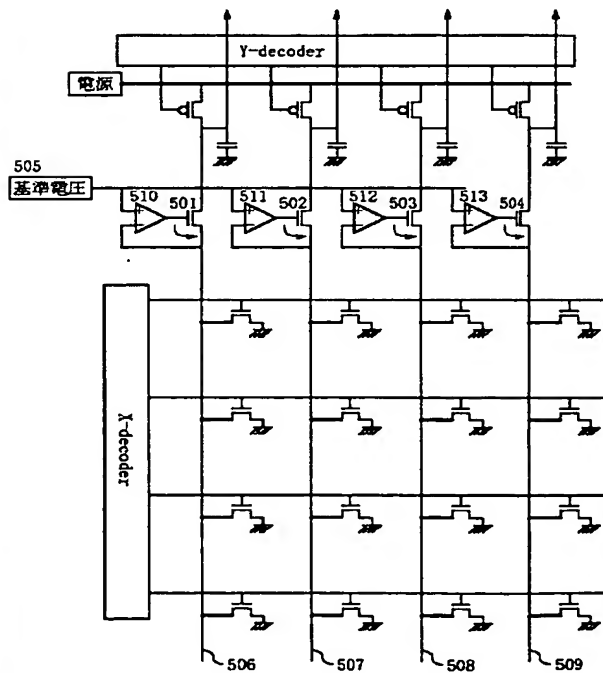
【図2】



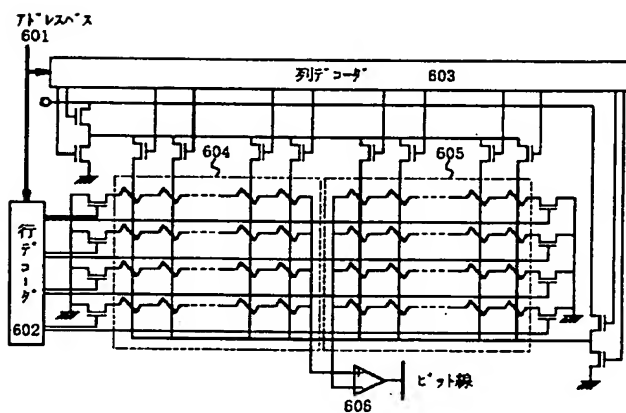
【図4】



【図5】



【图 6】



【图 7】

